

2

[MENU](#)
[SEARCH](#)
[INDEX](#)
[DETAIL](#)

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11026757

(43)Date of publication of application: 29.01.1999

(51)Int.Cl.

H01L 29/78
H01L 21/28
H01L 21/768
H01L 21/336

(21)Application number: 09174199

(22)Date of filing: 30.08.1997

(71)Applicant:

(72)Inventor:

TOSHIBA CORP
HIEDA KATSUHIKO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

<http://www2.ipdl.jpo-miti.go.jp/dbpweb/connector/guest/DBPquery/ENGDB/wdispaj>

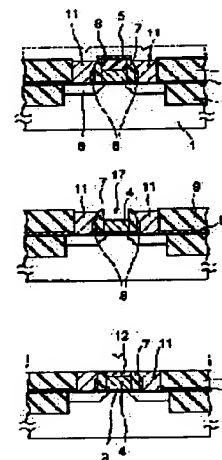
00/09/01

Searching PAJ

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress a lack of a heat resistant property corresponding to high temperature thermal processing or a difficulty of a self arrangement contact when a metal material is used for the gate electrode.

SOLUTION: In this method a gate constituting pattern of which side surface is enclosed by a sidewall insulating film 7 and which includes a dummy gate film 5 at least and a source/drain perfused region 6 are formed and a stopper film 8 for an etching stopper is formed. An interlayer insulating film 9 is formed at the region excepting the region of a gate constituting pattern being formed and a first recess is formed by selectively eliminating the interlayer insulating film 9 on the source/drain perfused region 6 corresponding to the stopper film 8. A contact plug member 11 which is junctioned with the source/drain diffused region 6 is piled at the first recess where the stopper film 8 was eliminated and a gate electrode member 12 is piled at a second recess which is obtained by eliminating a dummy film.



2/2 ページ

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998 Japanese Patent Office

[MENU](#)
[SEARCH](#)
[INDEX](#)
[DETAIL](#)

<http://www2.ipdl.jpo-miti.go.jp/dbpweb/connector/guest/DBPquery/ENGDB/wdispaj>

00/09/01

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-26757

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78
21/28
21/768
21/336

H 0 1 L 29/78
21/28
21/90
29/78

3 0 1 G
L
C
3 0 1 L

審査請求 未請求 請求項の数14 O L (全 14 頁)

(21) 出願番号

特願平9-174199

(22) 出願日

平成9年(1997) 6月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 稗田 克彦

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

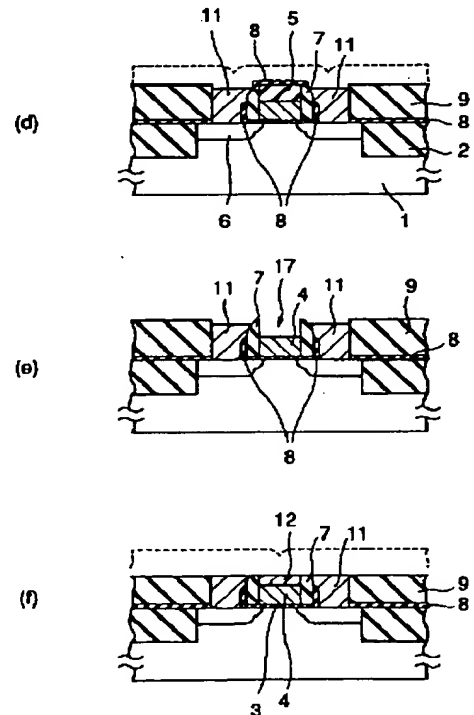
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 メタル材料をゲート電極に用いた場合の高温熱処理に対する耐熱性のなさや自己整合コンタクトの困難さなどの問題を解決する。

【解決手段】 側面が側壁絶縁膜7で囲まれ少なくともダミーゲート膜5を含むゲート構成パターン及びソース・ドレイン拡散領域6を形成する工程と、エッチングストップパー用のストップパー膜8を形成する工程と、ゲート構成パターンが形成されている領域以外の領域に層間絶縁膜9を形成する工程と、ソース・ドレイン拡散領域6上の層間絶縁膜9をストップパー膜8に対して選択的に除去して第1の凹部を形成する工程と、ストップパー膜8を除去した第1の凹部にはソース・ドレイン拡散領域6に接続されるコンタクトプラグ材11を埋め込み、ダミーゲート膜を除去して得られる第2の凹部にはゲート電極材12を埋め込む工程とを有する。



【特許請求の範囲】

【請求項 1】 半導体基板の主面側に側面が側壁絶縁膜で囲まれ少なくともダミーゲート膜を含むゲート構成パターンを形成する工程と、このゲート構成パターンの両側の半導体基板にソース・ドレイン拡散領域を形成する工程と、前記側面が側壁絶縁膜で囲まれたゲート構成パターンを覆うエッチングストッパー用のストッパー膜を形成する工程と、このストッパー膜で覆われたゲート構成パターンが形成されている領域以外の領域に第 1 の層間絶縁膜を形成する工程と、前記ソース・ドレイン拡散領域上の第 1 の層間絶縁膜を前記ストッパー膜に対して選択的に除去して第 1 の凹部を形成する工程と、前記ストッパー膜を除去した第 1 の凹部には前記ソース・ドレイン拡散領域に接続されるコンタクトプラグ材を埋め込み、少なくとも前記ダミーゲート膜を除去して得られる第 2 の凹部には少なくともゲート電極材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記ゲート構成パターンは半導体膜及びその上のダミーゲート膜によって形成され、前記半導体膜の下にはゲート絶縁膜が形成されていることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記ゲート構成パターンはダミーゲート膜のみによって形成され、このダミーゲート膜下にはダミーゲート絶縁膜が形成され、前記ダミーゲート膜及び前記ダミーゲート絶縁膜を除去して得られる第 2 の凹部にゲート絶縁膜を介してゲート電極材を埋め込むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記第 1 の層間絶縁膜を形成する工程は、前記ストッパー膜上に所定の絶縁膜を形成する工程と、この絶縁膜を前記ゲート構成パターンとほぼ等しい高さまで平坦化する工程とからなることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 前記第 1 の凹部にコンタクトプラグ材、第 2 の凹部に少なくともゲート電極材を埋め込む工程は、前記ストッパー膜を除去した第 1 の凹部にコンタクトプラグ材を埋め込む工程と、その後前記ダミーゲート膜を除去して得られる第 2 の凹部にゲート電極材を埋め込む工程とからなることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 前記第 1 の凹部にコンタクトプラグ材、第 2 の凹部に少なくともゲート電極材を埋め込む工程は、前記ストッパー膜を除去した第 1 の凹部にコンタクトプラグ材を埋め込む工程と、その後前記ダミーゲート膜及びその下のダミーゲート絶縁膜を除去して得られる第 2 の凹部にゲート絶縁膜を介してゲート電極材を埋め込む工程とからなることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 前記第 1 の凹部にコンタクトプラグ材、第 2 の凹部に少なくともゲート電極材を埋め込む工程は、前記ストッパー膜を除去した第 1 の凹部及び前記ダ

ミーゲート膜を除去して得られる第 2 の凹部に同一工程で前記コンタクトプラグ材及びゲート電極材となる同一の材料を埋め込むものであることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 8】 前記第 1 の凹部にコンタクトプラグ材、第 2 の凹部に少なくともゲート電極材を埋め込む工程は、前記ストッパー膜を除去した第 1 の凹部に所定のダミープラグ材を埋め込む工程と、第 1 の凹部にダミープラグ材を残した状態で前記ダミーゲート膜を除去して第 2 の凹部を形成する工程と、前記ダミープラグ材を除去する工程と、このダミープラグ材を除去した第 1 の凹部及び前記第 2 の凹部に同一工程で前記コンタクトプラグ材及びゲート電極材となる同一の材料を埋め込む工程とからなることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 9】 前記第 1 の凹部にコンタクトプラグ材、第 2 の凹部に少なくともゲート電極材を埋め込む工程は、前記ストッパー膜を除去した第 1 の凹部に所定のダミープラグ材を埋め込む工程と、第 1 の凹部にダミープラグ材を残した状態で前記ダミーゲート膜及びその下のダミーゲート絶縁膜を除去して第 2 の凹部を形成する工程と、この第 2 の凹部にゲート絶縁膜を介してゲート電極材を埋め込む工程と、前記ダミープラグ材を除去する工程と、このダミープラグ材を除去した第 1 の凹部にコンタクトプラグ材を埋め込む工程とからなることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 10】 前記第 1 の凹部にコンタクトプラグ材、第 2 の凹部に少なくともゲート電極材を埋め込む工程の後、第 2 の層間絶縁膜を形成する工程と、この第 2 の層間絶縁膜の一部を除去してそのパターン位置が前記第 1 の凹部のパターン位置に対して前記ゲート構成パターンと反対方向にシフトした第 3 の凹部を形成する工程と、この第 3 の凹部に前記第 1 の凹部に埋め込まれたコンタクトプラグ材に接続される導電材を埋め込む工程とをさらに有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 11】 前記第 1 の凹部にコンタクトプラグ材、第 2 の凹部に少なくともゲート電極材を埋め込む工程の後、第 2 の層間絶縁膜を形成する工程と、この第 2 の層間絶縁膜の一部を除去してそのパターン位置が前記第 1 の凹部のパターン位置に対して前記ゲート構成パターンと反対方向にシフトした第 3 の凹部及びこの第 3 の凹部に連なる配線用の第 4 の凹部を形成する工程と、これら第 3 の凹部及び第 4 の凹部に前記第 1 の凹部に埋め込まれたコンタクトプラグ材に接続される導電材を埋め込む工程とをさらに有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 12】 半導体基板の主面側にゲート絶縁膜を介して形成されたゲート電極と、このゲート電極の両側の半導体基板に形成されたソース・ドレイン拡散領域

と、前記ゲート電極の側面に形成された側壁絶縁膜と、前記ソース・ドレイン拡散領域に接続され前記側壁絶縁膜によって前記ゲート電極と分離されその上面の高さが前記ゲート電極の上面の高さとほぼ同一であるコンタクトプラグとを有することを特徴とする半導体装置。

【請求項 13】 前記コンタクトプラグには配線に連なる導電材部が接続されており、この導電材部のパターン位置は前記コンタクトプラグのパターン位置に対して前記ゲート電極と反対方向にシフトしたものであることを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】 前記側壁絶縁膜はシリコン酸化膜であることを特徴とする請求項 12 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関する。

【0002】

【従来の技術】ゲート電極の低抵抗化は、MOS トランジスタの微細化において、MOS トランジスタの高速化を達成する上で重要な役割を果たすと期待されている。しかしながら、ポリシリコン膜とシリサイド膜を積層した「ポリサイド・ゲート電極」は、シリサイド材料のもつ抵抗値の限界がある。このような状況で高速化の要求に答えるには、ゲート電極の高さをより高くする必要がある。しかし、この様にゲート電極の高さを高くする事は、ゲート電極へのコンタクトの自己整合プロセスを困難なものとしていた。

【0003】ゲート電極の低抵抗化の問題に対する解決策の一つとして、タングステン(W膜)などのメタル膜をシリサイド膜の代わりにポリシリコン層の上に貼り付けてゲート電極として用いる、いわゆる「ポリメタル・ゲート電極」が提案されている。しかし、このようなメタル電極を使ったトランジスタ構造は、ゲート絶縁膜の耐圧向上などを目的としたゲート電極の後酸化膜形成が困難であり、またコンタクトのゲート電極への自己整合プロセスが難しいといった問題があった。

【0004】例えば、図 13 に示すように、シリサイドプロセスでソース・ドレイン層 71 とゲート電極 72 にシリサイド 73a、73b を自己整合的に形成した構造の場合、ポリサイド・ゲート電極の上にはシリコン窒化膜が形成できず、自己整合コンタクトを行う事が困難であるという大きな問題がある。

【0005】また、図 14 に示すように、ポリシリコン層 74 のゲート電極の上にタングステンなどのメタル材 75 をタングステナイトライドなどのバリアメタルを介して貼り付けることによりゲート電極の抵抗を下げる、いわゆる「ポリメタル・ゲート電極」構造の場合、ゲート電極の上にシリコン窒化膜が形成できずに自己整合コンタクトを行う事が困難であるという問題に加えて、ゲート絶縁膜の耐圧向上などを目的としたゲート電

極の後酸化膜の形成が特殊な酸化条件を必要とするなどの問題もある。

【0006】

【発明が解決しようとする課題】このように、メタル材料をゲート電極としてトランジスタ構造に適用しようとした場合、高温熱処理工程に対する耐熱性がない或いはゲート電極への自己整合コンタクトが困難であるといった問題点がある。

【0007】本発明の目的は、メタル材料をゲート電極に用いた場合に、高温熱処理に対する耐熱性のなさや自己整合コンタクトの困難さなどの問題を解決することが可能な半導体装置及びその製造方法を提供する事を目的とする。

【0008】

【課題を解決するための手段】本発明における半導体装置の製造方法は、半導体基板の主面側に側面が側壁絶縁膜で囲まれ少なくともダミーゲート膜を含むゲート構成パターンを形成する工程と、このゲート構成パターンの両側の半導体基板にソース・ドレイン拡散領域を形成する工程と、前記側面が側壁絶縁膜で囲まれたゲート構成パターンを覆うエッチングストッパー用のストッパー膜を形成する工程と、このストッパー膜で覆われたゲート構成パターンが形成されている領域以外の領域に第 1 の層間絶縁膜を形成する工程と、前記ソース・ドレイン拡散領域上の第 1 の層間絶縁膜を前記ストッパー膜に対して選択的に除去して第 1 の凹部を形成する工程と、前記ストッパー膜を除去した第 1 の凹部には前記ソース・ドレイン拡散領域に接続されるコンタクトプラグ材(特にメタル材)を埋め込み、少なくとも前記ダミーゲート膜を除去して得られる第 2 の凹部には少なくともゲート電極材(特にメタル材)を埋め込む工程とを有することを特徴とする。

【0009】前記製造方法によれば、メタルゲート電極の採用を阻害していた高温熱工程(例えば、ソース・ドレインの活性化工程、ゲート電極の後酸化工程、リフロー工程等)をメタルゲート電極の形成前に行うことができる。従って、ポリシリコン膜やシリサイド膜に比べて抵抗値が低いメタル膜をゲート電極に用いることができるため、電極の高さが低く且つ低抵抗のゲート電極を実現することができ、高速化等、素子特性の向上をはかることができる。また、コンタクトプラグがゲート電極に対して自己整合的に形成できるため、ソース・ドレインのコンタクトとゲート電極との距離を側壁絶縁膜の厚さ分まで近付けることができ、素子の集積度を上げることができる。また、ソース・ドレイン領域における寄生抵抗を低減でき、素子特性の向上をはかることができる。

【0010】前記ゲート構成パターンは例えば半導体膜(特にポリシリコン膜)及びその上のダミーゲート膜によって形成され、この場合には前記半導体膜の下にはゲート絶縁膜が形成されている。

【0011】また、前記ゲート構成パターンは例えばダミーゲート膜のみによって形成され、この場合には、前記ダミーゲート膜下にはダミーゲート絶縁膜が形成され、前記ダミーゲート膜及び前記ダミーゲート絶縁膜を除去して得られる第2の凹部にゲート絶縁膜を介してゲート電極材を埋め込む。このようにすれば、ゲート絶縁膜に高誘電体膜を含む膜を用いたトランジスタが実現できる。すなわち、ゲート絶縁膜として、Taを含む膜の単層又は積層膜や、Ba、Sr、Tiを含む膜の単層又は積層膜を用いることができる。従って、ゲート絶縁膜の酸化膜換算膜厚を低減でき、トランジスタのショートチャネル効果を押さえたり、ドレイン電流を大きくできる等、素子特性の向上をはかることができる。

【0012】また、前記第1の層間絶縁膜を形成する工程は、前記ストッパー膜上に所定の絶縁膜を形成する工程と、この絶縁膜を前記ゲート構成パターンとほぼ等しい高さまで平坦化して前記ゲートパターンの表面を露出させる工程とからなることが好ましい。このようにすれば、層間絶縁膜に埋め込まれる（第1の凹部に埋め込まれる）コンタクトプラグの高さをゲート電極の高さとほぼ等しい高さまで低くすることができるため、コンタクトプラグの抵抗を下げることができ、素子特性の向上をはかることができる。

【0013】また、前記第1の凹部にコンタクトプラグ材、第2の凹部に少なくともゲート電極材を埋め込む工程は、前記ストッパー膜を除去した第1の凹部にコンタクトプラグ材を埋め込む工程と、その後前記ダミーゲート膜を除去して得られる第2の凹部にゲート電極材を埋め込む工程とによって行うことができる。このようにすれば、コンタクトプラグ材とゲート電極材にそれぞれに適した金属材料等を用いることができ、素子特性の向上をはかることができる。

【0014】また、前記第1の凹部にコンタクトプラグ材、第2の凹部に少なくともゲート電極材を埋め込む工程は、前記ストッパー膜を除去した第1の凹部にコンタクトプラグ材を埋め込む工程と、その後前記ダミーゲート膜及びその下のダミーゲート絶縁膜を除去して得られる第2の凹部にゲート絶縁膜を介してゲート電極材を埋め込む工程とによって行うようにしてもよい。このようにすれば、コンタクトプラグ材とゲート電極材にそれぞれに適した金属材料等を用いることができ、素子特性の向上をはかることができる。

【0015】また、前記第1の凹部にコンタクトプラグ材、第2の凹部に少なくともゲート電極材を埋め込む工程は、前記ストッパー膜を除去した第1の凹部及び前記ダミーゲート膜を除去して得られる第2の凹部に同一工程で前記コンタクトプラグ材及びゲート電極材となる同一の材料を埋め込むものでもよい。このように、第1の凹部及び第2の凹部に同一工程で同一材料を埋め込むことにより、製造工程の簡単化をはかることができる。

【0016】また、前記第1の凹部にコンタクトプラグ材、第2の凹部に少なくともゲート電極材を埋め込む工程は、前記ストッパー膜を除去した第1の凹部に所定のダミープラグ材を埋め込む工程と、第1の凹部にダミープラグ材を残した状態で前記ダミーゲート膜を除去して第2の凹部を形成する工程と、前記ダミープラグ材を除去する工程と、このダミープラグ材を除去した第1の凹部及び前記第2の凹部に同一工程で前記コンタクトプラグ材及びゲート電極材となる同一の材料を埋め込む工程とによって行うようにしてもよい。このようにすれば、製造工程の簡単化をはかることができるとともに、第1の凹部にダミープラグ材を残した状態でダミーゲート膜を除去するので、第1の凹部の底部コーナーにおけるストッパー膜の後退を防ぐことができる。

【0017】また、前記第1の凹部にコンタクトプラグ材、第2の凹部に少なくともゲート電極材を埋め込む工程は、前記ストッパー膜を除去した第1の凹部に所定のダミープラグ材を埋め込む工程と、第1の凹部にダミープラグ材を残した状態で前記ダミーゲート膜及びその下のダミー絶縁膜を除去して第2の凹部を形成する工程と、この第2の凹部にゲート絶縁膜を介してゲート電極材を埋め込む工程と、前記ダミープラグ材を除去する工程と、このダミープラグ材を除去した第1の凹部にコンタクトプラグ材を埋め込む工程とによって行うようにしてもよい。このように、コンタクトプラグの形成をゲート電極の形成後に行うことにより、ゲート絶縁膜の形成工程時における高温工程への制約を緩和することができる。

【0018】また、前記第1の凹部にコンタクトプラグ材、第2の凹部に少なくともゲート電極材を埋め込む工程の後、第2の層間絶縁膜を形成する工程と、この第2の層間絶縁膜の一部を除去してそのパターン位置が前記第1の凹部のパターン位置に対して前記ゲート構成パターンと反対方向にシフトした第3の凹部を形成する工程と、この第3の凹部に前記第1の凹部に埋め込まれたコンタクトプラグ材に接続される導電材を埋め込む工程をさらに設けてもよい。

【0019】また、前記第1の凹部にコンタクトプラグ材、第2の凹部に少なくともゲート電極材を埋め込む工程の後、第2の層間絶縁膜を形成する工程と、この第2の層間絶縁膜の一部を除去してそのパターン位置が前記第1の凹部のパターン位置に対して前記ゲート構成パターンと反対方向にシフトした第3の凹部及びこの第3の凹部に連なる配線用の第4の凹部を形成する工程と、これら第3の凹部及び第4の凹部に前記第1の凹部に埋め込まれたコンタクトプラグ材に接続される導電材を埋め込む工程をさらに設けてもよい。

【0020】このような工程をさらに設けることにより、コンタクトプラグをゲート電極に隣接して自己整合的に形成したメリットをより一層発揮させることができ

る。すなわち、(配線に接続される導電材が埋め込まれる) 第3の凹部のパターン位置を第1の凹部のパターン位置よりもゲート構成パターンから離して形成しても、コンタクトプラグがゲート電極に対して側壁絶縁膜の厚さ分の距離しか離れていないため、ソース・ドレイン領域における寄生抵抗を低減することができ、素子特性の向上をはかることができる。

【0021】本発明における半導体装置は、半導体基板の主面側にゲート絶縁膜を介して形成されたゲート電極(特に金属材料を含むゲート電極)と、このゲート電極の両側の半導体基板に形成されたソース・ドレイン拡散領域と、前記ゲート電極の側面に形成された側壁絶縁膜と、前記ソース・ドレイン拡散領域に接続され前記側壁絶縁膜によって前記ゲート電極と分離されその上面の高さが前記ゲート電極の上面の高さとほぼ同一であるコンタクトプラグ(特に金属材料を用いたコンタクトプラグ)とを有することを特徴とする。

【0022】前記半導体装置によれば、コンタクトプラグとゲート電極との距離が側壁絶縁膜の厚さ分であり、素子の集積度を上げることができるとともに、ソース・ドレイン領域における寄生抵抗が低減され、素子特性の向上をはかることができる。また、コンタクトプラグの高さがゲート電極の高さとほぼ等しい程度に低いいため、コンタクトプラグの抵抗を下げることができ、素子特性の向上をはかることができる。

【0023】前記コンタクトプラグに配線に連なる導電材部を接続し、この導電材部のパターン位置を前記コンタクトプラグのパターン位置に対して前記ゲート電極と反対方向にシフトしたものとすることができる。このような構成にすることにより、コンタクトプラグをゲート電極に隣接して自己整合的に形成したメリットをより一層発揮させることができる。すなわち、導電材部のパターン位置をコンタクトプラグのパターン位置よりもゲート電極から離して形成しても、コンタクトプラグがゲート電極に対して側壁絶縁膜の厚さ分の距離しか離れていないため、ソース・ドレイン領域における寄生抵抗を低減することができ、素子特性の向上をはかることができる。

【0024】また、前記側壁絶縁膜にはシリコン酸化膜を用いることが好ましい。側壁絶縁膜をシリコン窒化膜に比べて誘電率の小さいシリコン酸化膜で構成することにより、ゲート電極とソース・ドレインとの間の寄生容量を低減することができ、トランジスタの素子特性を向上させることができる。

【0025】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。図1～図3は本発明の第1の実施形態を示したものであり、図1(a)及び図1(b)はトランジスタ部分の平面図及びそのA-A'断面図であり、図2(a)～図3(f)その製造工程断面図であ

る。

【0026】まず、図2(a)に示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度のp型シリコン基板1(n型シリコン基板或いはp型Si基板の表面にp型又はn型エピタキシャルSi層を例えば $1 \mu\text{m}$ 程度の膜厚に成長させたいわゆるエピタキシャル基板を用いてもよい。)の(100)面に、nチャンネルトランジスタ形成領域にはpウエル(図示せず)、pチャンネルトランジスタ形成領域にはnウエル(図示せず)を形成する。

【0027】次に、例えば反応性イオンエッチング(RIE)法を用いてSi基板1に溝を掘り、その溝に絶縁膜を埋め込んでいわゆるトレンチ型の素子分離層2(トレンチ深さ約 $0.2 \mu\text{m}$ 程度のSTI(Shallow Trench Isolation))を形成する。チャンネル領域には、トランジスタのしきい値電圧(V_{th})をコントロールする為のチャンネル・イオン注入層(図示せず)を形成する。そして、ゲート絶縁膜として膜厚 6 nm 程度の SiO_2 膜3を形成し、この SiO_2 膜3の上にゲート電極の一部として例えばn⁺ポリシリコン膜4を膜厚 100 nm 程度全面に堆積し、さらに全面にキャップシリコン窒化膜5(Si_3N_4 膜)を例えば膜厚 150 nm 程度堆積する。その後、例えばリソグラフィ法とRIE法などを用いてキャップシリコン窒化膜5及びポリシリコン膜4を加工する。なお、この後、ゲート電極とソース・ドレインの耐圧を改善したり素子の信頼性を向上させる為、ポリシリコン層の下部エッジのゲート酸化膜の膜厚を少しだけ厚くするいわゆる「後酸化」を行っても良い。

【0028】次に、LDD(Lightly Doped Drain)構造を形成する為、ゲートパターンの Si_3N_4 膜/ポリシリコン膜をマスクにして、例えば、リン(P⁺)イオンの注入を 70 keV 、 $4 \times 10^{13} \text{ cm}^{-2}$ 程度行ない、n⁻型拡散層6aを形成する。続いて、 SiO_2 膜を全面に堆積した後に全面のRIEを行ない、ゲートパターンの側壁部に SiO_2 膜を残す「 SiO_2 の側壁残し」を行ない、ゲートパターンの側壁に膜厚 30 nm 程度の SiO_2 膜7を形成する。その後、例えば砒素(As⁺)イオンの注入を 30 keV 、 $5 \times 10^{15} \text{ cm}^{-2}$ 程度行なってn⁺型拡散層6bを形成し、いわゆるLDD構造を形成する。なお、ここではLDD構造を用いているが、n⁻型拡散層のみ或いはn⁺型拡散層のみを形成したいわゆるシングル・ソース・ドレイン構造でも良い。

【0029】次に、図2(b)に示すように、全面にストッパー Si_3N_4 膜8を例えば膜厚 20 nm 程度堆積し、その後、BPSG膜等の層間絶縁膜9を例えば 300 nm 程度堆積する。ここでは省略したが、ストッパー Si_3N_4 膜8とSi基板との界面に例えば膜厚 8 nm 程度の薄い SiO_2 膜(図示せず)を形成しても良い。この様にすると、ストッパー Si_3N_4 膜8を除去する場合に、Si基板にダメージを与えずにストッパーSi

、 Si_3N_4 膜 8 を剥離できる利点がある。

【0030】次に、例えば 800°C 程度の N_2 雰囲気では BPSG 膜 9 のメルトを兼ねて 30 分程度デンスファイを行なう。この熱工程はソース・ドレインのイオン注入層の活性化も兼ねている。拡散層の深さ (X_j) を抑えたい時は、デンスファイの温度を 750°C 程度に低温化し、 950°C で 10 秒程度の RTA (Rapid Thermal Anneal) プロセスと併用して、イオン注入層の活性化を行なっても良い。この後、全面を CMP (Chemical Mechanical Polishing) により平坦化し、ゲートパターン上のストッパー Si_3N_4 膜 8 の表面を露出させる。

【0031】次、図 2 (c) に示すように、通常のレジストを用いたリソグラフィ法により形成したレジストパターン 10 を用いて、BPSG 膜等の層間絶縁膜 9 の異方性エッチング (RIE) を行う。この時のエッチングは、BPSG 膜等の層間絶縁膜 9 のエッチングは進行するが、ストッパー Si_3N_4 膜 8 のエッチングは進行しない、いわゆる選択エッチングの条件を使う。この様な BPSG 膜及び Si_3N_4 膜の高選択比エッチングを行う事により、ストッパー Si_3N_4 膜 8 上でエッチングをストップさせる事ができる。このようにして、コンタクトプラグを埋め込む為の穴 16 を形成する。

【0032】次に、図 3 (d) に示すように、レジスト 10 をマスクとして、RIE 法等によりコンタクトの底部のストッパー Si_3N_4 膜 8 を除去し、 Si 基板表面を露出させる。この時、図示するように、ストッパー Si_3N_4 膜 8 がゲート側壁 SiO_2 膜 7 の側壁部に残ることが有り得るが、トランジスタ特性上の大きな問題は無い。図 2 (b) で説明したように、もし、ストッパー Si_3N_4 膜 8 と Si 基板界面に例えば 8nm 程度の SiO_2 膜 (図示せず) を用いた場合は、コンタクト領域の Si_3N_4 膜 8 を除去した後にはコンタクト底の SiO_2 膜 (図示せず) を除去して Si 基板を露出させる。この後レジスト 10 を除去する。

【0033】次に、コンタクトプラグとして、例えばメタル膜 (タングステン (W) 膜、 Ru 膜、 TiN 膜、タングステンナイトライド膜 (WN_x) など、或いはそれらの積層膜でも良い) を、例えば CVD 法やスパッタ法により全面に堆積する。 Si 基板 1 との密着性やコンタクト抵抗の低減化という観点から、下側から順に Ti 膜、 TiN 膜、タングステン (W) 膜を積層した積層膜が望ましい。この後、全面を CMP により平坦化し、ゲートパターン上のストッパー Si_3N_4 膜 8 又はキャップ Si_3N_4 膜 5 の表面を露出させるとともに、コンタクト領域に上記メタル材料を埋め込んでコンタクトプラグ 11 を形成する。もちろん、この時の CMP の条件は、メタル材の CMP 速度が BPSG 膜 9 や Si_3N_4 膜 5、8 に対して速いような条件 (メタル CMP 条件) を選択する。

【0034】次に、図 3 (e) に示すように、露出した

Si_3N_4 膜 8 及びキャップ Si_3N_4 膜 5 を例えばホットリン酸溶液などにより選択的に除去する事により、ゲート電極の一部であるポリシリコン層 4 の表面を露出させ、溝 17 を形成する。

【0035】次に、図 3 (f) に示すように、ポリシリコン膜 4 上を含む全面にメタル膜 12 (タングステン (W) 膜、 Ru 膜、 TiN 膜、タングステンナイトライド膜 (WN_x) など、或いはそれらの積層膜でも良い) を CVD 法やスパッタ法などにより堆積した後、全面をメタル膜の CMP 条件で CMP する事により、メタル膜 12 をポリシリコンゲート電極 4 の上に形成する。つまり、メタル膜 12 をキャップ Si_3N_4 膜 5 を除去した後の溝 17 の中に埋め込み、ポリシリコン膜 4 とメタル膜 12 からなるメタルゲート電極構造を形成する。メタル電極膜としては、ポリシリコン膜との反応を防ぐ目的で下側から順にタングステン・ナイトライド膜、タングステン (W) 膜を積層したもので良いし、熱工程が抑えられていることからポリシリコン膜と反応しないのであれば、タングステン (W) 膜の単層膜でも良い。

【0036】次に、全面に層間絶縁膜として SiO_2 膜 13 を約 300nm 程度の膜厚で堆積した後、ソース、ドレイン領域のコンタクトプラグ及びゲート電極へのコンタクトを開口し、 Al 層をバタニングして配線 14 を形成する。さらに全面にパッシベーション膜 15 を堆積し、図 1 に示すようなトランジスタの基本構造が完了する。

【0037】以上のような製造方法によれば、ソース・ドレインの活性化、後酸化或いはリフロー工程などの高温熱処理工程をメタルゲート電極形成前に実施できるので、メタルゲート電極は高温工程を受ける事がなく、メタル膜の異常酸化やメタル膜の異常粒成長などを抑える事ができる。また、ゲート電極加工法を RIE から CMP にかえたので、メタル電極の材料の選択の制約 (例えば耐熱性等) が無くなり、所望の低抵抗化が達成できるメタル電極材料を選択できる。また、RIE 時にあったようなゲート電極形成時のプラズマ・プロセス・ダメージ (ゲート絶縁膜の絶縁破壊など) を回避できる。また、メタル電極に自己整合的にコンタクトプラグを形成できる為、コンタクトとゲート電極間の距離を近づける事ができ、素子の集積度を向上させる事ができる。さらに、ゲート電極とコンタクトプラグ間をシリコン窒化膜に比べて誘電率の小さい酸化膜で形成できるため、ゲート電極とソース・ドレイン間の容量を小さくでき、素子の高速化が達成できるなどの特徴がある。

【0038】次に、本発明の第 2 の実施形態について説明する。図 4 (a) ~ (c) は、本発明の第 1 の実施形態におけるコンタクトプラグと配線層との接続の仕方を説明するための図 1 (b) 断面図に対応する工程断面図である。

【0039】第 1 の実施形態では、メタル配線層として

Al層をレジストマスクを用いたR I E法でパターニングし、配線層を形成する例について示した。本実施形態では、デュアル・ダマシン (Dual Damascene) 法を用いてコンタクト及び配線を形成する例について示す。

【0040】第1の実施形態で示した図3 (f) の工程の後、図4 (a) に示すように、全面に層間絶縁膜として例えばプラズマT E O S法による Si-O_2 膜1-3を約300nm程度の膜厚堆積した後、通常のリソグラフィ法により形成したコンタクトパターンのレジスト膜20をマスクとして、R I E法によりコンタクトプラグ11へのコンタクト (穴18) 及びゲート電極へのコンタクト (図示せず) を開孔する。この時、コンタクトパターンは、コンタクトプラグ11を完全に覆うように配置するのではなく、図1 (a) に示すように、コンタクトプラグ11の一部に重なるように且つゲート電極と離れるような方向にシフトさせてレイアウトする。図中のa及びbは、それぞれコンタクトのコンタクトプラグ及びゲート電極との距離であるが、例えば、 $a=70\text{nm}$ 、 $b=100\text{nm}$ 程度に設定できる。もちろん、リソグラフィ法における重ね合わせ (Overlay) 精度の実力によってこれらの値は変更する必要がある。

【0041】次に、図4 (b) に示すように、いわゆるデュアルダマシン法で配線層を形成する場合、通常のリソグラフィ法により配線パターンにレジストがないレジストパターン21を形成し、R I E法により SiO_2 膜13の将来配線となる領域に溝パターンを形成する。この時、例えば溝19の深さは $0.25\mu\text{m}$ 程度とする。

【0042】次に、図4 (c) に示すように、コンタクトの穴18及び配線層の溝19に、例えばAl-Cu層を高温スパッタなどでリフロー (reflow) して埋め込む。その後、メタル (Al-Cu) のCMP条件でCMPを行い、コンタクトの穴及び配線層の溝にのみAl-Cu膜を残置させる。この様にして、配線14を形成する。

【0043】この様な製造方法をとることにより、コンタクトプラグをゲート電極に隣接して自己整合的に形成したメリットを最大限に生かす事ができる。すなわち、配線のコンタクトをゲート電極から離して形成しても、コンタクトプラグはゲート電極に側壁膜 (SiO_2 膜) 7の幅まで近づけて形成されている為、実質的なゲート電極-コンタクト間の距離を近づける事ができる。これにより、ソース・ドレイン領域における寄生抵抗を低減でき、トランジスタの素子特性を向上させる事ができる。

【0044】次に、本発明の第3の実施形態について図5及び図6を参照して説明する。図5 (a) ~図6

(e) は、第3の実施形態の工程断面図である。第1の実施形態では、ゲート電極がポリシリコン層とメタル層からなるいわゆる「ポリメタル電極」の場合を説明した

が、本実施形態では、ゲート電極がメタル層のみの場合の「メタル電極」に本発明を適用した例について説明する。

【0045】まず、図5 (a) に示すように、不純物濃度 $5 \times 10^{15}\text{cm}^{-3}$ 程度のp型シリコン基板1 (n型シリコン基板或いはp型Si基板の表面にp型又はn型エピタキシャルSi層を例えば $1\mu\text{m}$ 程度の膜厚に成長させたいわゆるエピタキシャル基板を用いてもよい) の(100)面に、nチャンネルトランジスタ形成領域にはpウエル (図示せず)、pチャンネルトランジスタ形成領域にはnウエル (図示せず) を形成する。

【0046】次に、例えばR I E法を用いてSi基板1に溝を掘り、その溝に絶縁膜を埋め込んでいわゆるトレンチ型の素子分離層2 (トレンチ深さ約 $0.2\mu\text{m}$ 程度のSTI) を形成する。その後、所望のチャンネル領域にトランジスタのしきい値電圧 (V_{th}) をコントロールする為のチャンネルイオン注入層 (図示せず) を形成する。続いて、膜厚6nm程度のダミー SiO_2 膜30を形成し、この SiO_2 膜30上にダミーゲートパターンとなるシリコン窒化膜31を例えば膜厚200nm程度堆積する。その後、例えばリソグラフィ法とR I E法などを用いてダミーゲート膜のシリコン窒化膜31を加工し、ダミーゲートパターンを形成する。

【0047】次に、LDD構造を形成する為、ダミーゲートパターンの Si_3N_4 膜31をマスクにして、例えば、リン (P^+) イオンの注入を70keV、 $4 \times 10^{13}\text{cm}^{-2}$ 程度行ない、 n^- 型拡散層6aを形成する。続いて、 SiO_2 膜を全面に堆積した後、全面のR I Eを行ない、ダミーゲートパターンの側壁部に SiO_2 膜を残す「 SiO_2 の側壁残し」を行ない、ダミーゲートパターンの側壁に膜厚30nm程度の SiO_2 膜7を形成する。その後、例えば砒素 (As^+) イオンの注入を30keV、 $5 \times 10^{15}\text{cm}^{-2}$ 程度行なって n^+ 型拡散層6bを形成し、いわゆるLDD構造を形成する。なお、ここではLDD構造を用いているが、 n^- 型拡散層のみ或いは n^+ 型拡散層のみの、いわゆるシングル・ソース・ドレイン構造でも良い。また、ダミーゲートパターンやLDDの SiO_2 膜を形成する場合、Si基板1がエッチングダメージを受けないように、エッチング条件を設定する事が重要である。

【0048】次に、図5 (b) に示すように、全面にストッパー Si_3N_4 膜8を例えば膜厚20nm程度堆積し、その後、BPSG膜等の層間絶縁膜9を例えば400nm程度堆積する。なお、ここでは省略したが、ストッパー Si_3N_4 膜8とSi基板界面に、例えば膜厚5nm程度の薄い SiO_2 膜 (図示せず) を形成しても良い。この様にすると、後の工程でストッパー Si_3N_4 膜8を剥離する場合に、Si基板にエッチングダメージを与えずにストッパー Si_3N_4 膜8を剥離できる利点がある。次に、CMPにより平坦化を行ない、ゲートパ

ターン上のストッパー Si_3N_4 膜8の表面を露出させる。

【0049】この後、CMP時にできる細かいキズをなくす為に、例えば 800°C 程度の N_2 雰囲気で30分程度デンシファイ（またはメルト）を行なう。この熱工程はソース・ドレインのイオン注入層の活性化も兼ねている。拡散層の深さ（ X_j ）を抑えたい時は、デンシファイの温度を 750°C 程度に低温化し、 950°C で10秒程度のRTAプロセスと併用してイオン注入層の活性化を行なっても良い。この工程は、BP SG膜9をCMPする前に行っても良いし、CMPを行った後に再度BP SG膜を 200nm 程度の膜厚堆積し、高温（ 800°C 程度）でメルトを行った後、全面をウェットエッチングしてゲートパターン上のストッパー Si_3N_4 膜8の表面を露出させても良い。

【0050】次に、図6（c）に示すように、通常のリソグラフィ法により所望のコンタクトホールレジストパターン33を形成し、これをマスクとしてBP SG膜等の層間絶縁膜9の異方性エッチングを行う。この時のエッチングは、BP SG膜等の層間絶縁膜9のエッチングは進行するが、ストッパー Si_3N_4 膜8のエッチングは進行しない、いわゆる選択エッチングの条件を使う。この様なBP SG膜/ Si_3N_4 膜の高選択比エッチングを行う事により、コンタクトのエッチングはストッパー Si_3N_4 膜8上でストップさせる事ができる。このようにして、コンタクトプラグを埋め込む為の穴16を形成する。

【0051】次に、図6（d）に示すように、レジスト33を除去した後、RIE法等によりコンタクトの底部のストッパー Si_3N_4 膜8を除去し、 Si 基板1を露出させる。この時、図示するように、ストッパー Si_3N_4 膜8がゲート側壁 SiO_2 膜7の側壁部に残ることが有り得るが、トランジスタ特性上の大きな問題は無い。もちろん、全部ストッパー Si_3N_4 膜8を除去するような条件でエッチングしても良い。図5（b）の工程で説明したように、もし、ストッパー Si_3N_4 膜8と Si 基板界面に例えば 5nm 程度の SiO_2 膜（図示せず）を用いた場合には、コンタクト領域の Si_3N_4 膜8を除去した後にコンタクト底の SiO_2 膜（図示せず）を除去して Si 基板を露出させる。

【0052】次に、コンタクトプラグとして、例えばメタル膜（タングステン（W）膜、Ru膜、TiN膜、タングステナイトライド膜（ WN_x ）など、或いはそれらの積層膜でも良い）を全面に堆積する。この後、CMPによって平坦化を行い、ゲートパターン上のストッパー Si_3N_4 膜8又はダミーゲートパターン Si_3N_4 膜31の表面を露出させると共に、メタル材をコンタクト領域に埋め込んでコンタクトプラグ11を形成する。もちろん、この時のCMPの条件は、メタル材のCMP速度がBP SG膜9や Si_3N_4 膜8、5に対して速い

ような条件（メタルCMP条件）を選択する。その後、露出したストッパー Si_3N_4 膜8及びダミーゲートパターンの Si_3N_4 膜31を選択的に除去し、溝17を形成する。

【0053】次に、図6（e）に示すように、ダミー SiO_2 膜30を剥離して Si 基板表面を露出した後、全面にゲート絶縁膜34として例えば高誘電体膜（ Ta_2O_5 や（Ba，Sr） TiO_3 膜など）を膜厚 20nm 程度堆積する。この時、 Si 界面との間にいわゆる界面準位等ができにくいように、薄い（例えば 1nm 程度） SiO_2 膜（図示せず）、界面RTPを用いて NH_3 ガス雰囲気中で Si 表面に直接窒化した膜（図示せず）、 Si_3N_4 膜（図示せず）などを介して高誘電体膜を堆積しても良い。また、ゲート絶縁膜としてCVD- SiO_2 膜、CVD- SiO_2/N_2 膜或いはCVD- Si_3N_4 膜を含む積層膜を用いても良い。これらの場合には、膜形成後に、例えば 1000°C 、10秒程度のRTAによる熱処理を行ってデンシファイしても良い。この様にとすると、 Si 界面の界面準位が減少したりリーク電流が減少するなど、絶縁膜としての絶縁特性が改善される。コンタクトプラグ11と Si 基板の間のコンタクト特性が劣化しないような条件を選択する事が重要である。

【0054】次に、ゲート電極として、例えばメタル膜35（Ru膜、TiN膜、W膜、タングステナイトライド膜（ WN_x ）など或いはそれらの積層膜でも良い）を全面に堆積する。もちろん、CVD- SiO_2 膜、CVD- SiON 膜或いはCVD- Si_3N_4 膜を含む積層膜がゲート絶縁膜の場合には、不純物をドーブした多結晶 Si をゲート電極として用いても良い。その後、全面をメタルCMP条件でCMPする事により、メタル電極35及び高誘電体ゲート絶縁膜34をダミーゲートパターン31を除去した後の溝17の中に埋め込み、メタルゲート電極を形成する。

【0055】次に、全面に層間絶縁膜として SiO_2 膜（図示せず）を約 200nm 程度の膜厚堆積した後、ソース・ドレインへのコンタクト（図示せず）、ゲート電極へのコンタクト（図示せず）を開口し、配線層となるA1層をパターニングして配線（図示せず）を形成する。さらに、全面にパッシベーション膜（図示せず）を堆積し、トランジスタの基本構造が完了する。もちろん、第2の実施形態で説明したデュアルダマシン法による配線法を用いても良い。

【0056】以上のような製造方法により、ソース・ドレインの活性化及びリフロー工程などの高温熱処理工程をゲート絶縁膜である高誘電体膜形成前に実施できるので、高誘電体ゲート絶縁膜又はメタル電極は高温工程を受ける事がなく、リーク電流増加などのゲート絶縁膜の劣化を抑える事ができる。すなわち、高誘電体ゲート絶縁膜を用いたトランジスタを実現でき、ゲート絶縁膜の酸化膜換算膜厚が小さくでき、トランジスタのショート

チャネル効果を抑えたり、ドレイン電流が大きくなるなどの素子特性向上が達成できる。また、ゲート電極とソース・ドレイン拡散層の耐圧や素子の信頼性を向上させることができる。また、ゲート電極の加工法をRIEからCMPにかえることにより、メタル電極の材料の選択の制約（例えば耐熱性等）が無くなり、高誘電体膜のリーク電流が下げられるようなメタル電極材料を選択できる。また、RIE時にあったようなゲート電極形成時のプラズマプロセスダメージ（ゲート絶縁膜の絶縁破壊など）を回避できる。また、先にソース・ドレインを形成するが、ソース・ドレインに対して自己整合的にゲート電極が形成され、ゲート電極とソース・ドレインは従来どおり自己整合的に形成できる。また、ゲート電極とコンタクトプラグが自己整合的に形成できる為、コンタクトとゲート電極間の距離を近づける事ができ、素子の集積度を向上させる事ができる。さらに、ゲート電極とコンタクトプラグ間をシリコン窒化膜に比べて誘電率の小さい酸化膜で形成できるため、ゲート電極とソース・ドレイン間の容量が小さくでき、素子の高速化が達成できるなどの特徴がある。

【0057】次に、本発明の第4の実施形態について説明する。図7は、第4の実施形態における製造工程の一部を示した断面図である。本実施形態は、第1及び第3の実施形態で説明したように、全面にストッパー Si_3N_4 膜8を例えば膜厚20nm程度堆積し、その後BPSG膜等の層間絶縁膜9を例えば400nm程度堆積する際に、ストッパー Si_3N_4 膜8と Si 基板1の界面に例えば膜厚5nm程度の薄い SiO_2 膜36を熱酸化等により形成した場合の例である。この様にすると、ストッパー Si_3N_4 膜8を除去する場合に、 Si 基板にダメージを与えずにストッパー Si_3N_4 膜8を剥離できる利点がある。

【0058】次に、本発明の第5の実施形態について説明する。図8は、第5の実施形態における製造工程の一部を示した断面図である。第1の実施形態では、通常のソース・ドレインを用いる例を説明したが、浅いソース・ドレイン拡散層の抵抗を下げる為、ソース・ドレイン拡散層の表面にチタン(Ti)やコバルト(Co)などのシリサイド膜37を選択的に形成することもできる。

【0059】本例では、シリサイド膜37の形成時にはゲート電極のメタル膜はまだ形成されていないため、シリサイド化の為の熱工程（例えば600°C、30分程度）でゲート電極が劣化することはない。また、シリサイド膜37とゲート電極は、側壁 SiO_2 膜7等で分離されている為、シリサイド膜37とゲート電極のショートが回避できると言う特徴がある。

【0060】次に、本発明の第6の実施形態について説明する。図9は、第6の実施形態における製造工程の一部を示した断面図である。第1の実施形態では通常のソース・ドレインを用いる例を説明したが、本実施形態で

は、ソース・ドレイン拡散層の抵抗を下げる為に、選択エピタキシャル Si 成長法を用いて、ソース・ドレイン層6上にエピタキシャル Si 層38を例えば50nm程度の膜厚で選択的に形成している。エピタキシャル Si 層38を形成してからソース・ドレインのイオン注入を行なっても良いし、エピタキシャル Si 層を形成する前にソース・ドレインのイオン注入を行なってもよい。

【0061】本例では、選択エピタキシャル Si 膜の形成時にはゲート電極のメタル膜はまだ形成されておらず、選択エピタキシャル Si 成長時の熱工程（例えば、1000°Cでの Si 表面の自然酸化膜を除去する為の前処理や、700°C程度の Si エピタキシャル成長）でメタルを用いたゲート電極は劣化しない。また、選択エピタキシャル Si 膜とゲート電極は、側壁 SiO_2 膜7等で分離されている為、選択エピタキシャル Si 膜とゲート電極のショートが回避できる特徴がある。

【0062】次に、本発明の第7の実施形態について説明する。図10(a)及び(b)は、第7の実施形態における製造工程の一部を示した断面図である。第1の実施形態等では、コンタクトプラグを先に形成した後、ゲート電極のメタル層を形成する例を説明した。本実施形態では、コンタクトプラグとゲート電極のメタル層を同時に形成する例を説明する。

【0063】図10(a)は、図2(c)の工程の後に続く工程である。まず、コンタクト孔のRIEの後、露出しているストッパー Si_3N_4 膜8及びキャップ Si_3N_4 膜5を例えばRIE法或いはホットリン酸(165°Cの H_3PO_4 溶液)やフッ酸グリセロール液などで酸化膜及び Si に対して選択的に除去し、コンタクト孔底部の Si 基板やゲート電極のポリシリコン層4の表面を露出させる。

【0064】次に、図10(b)に示すように、コンタクトプラグ及びゲート電極のメタル電極部として、例えばメタル膜(タングステン(W)膜、Ru膜、TiN膜、タングステナイトライド膜(WN_x)など或いはこれらの積層膜でも良い)を全面に堆積する。その後、CMPで平坦化を行い、コンタクトの開孔部およびキャップ Si_3N_4 膜5を除去した後の溝に前記メタル膜を同時に埋め込み、コンタクトプラグ40a及びゲート電極のメタル電極部40bを形成する。もちろん、この時のCMPの条件はメタル材のCMP速度がBPSG膜9や SiO_2 膜7に対して速いような条件(メタルCMP条件)を選択する。

【0065】このような製造方法によれば、コンタクトプラグとメタルゲート電極の形成が同時にできるので、工程の簡略化がはかれる。その他のメリットは、第1の実施形態等と同様である。

【0066】次に、本発明の第8の実施形態について説明する。図11(a)~(c)は、第8の実施形態における製造工程の一部を示した断面図である。第7の実施形

態では、コンタクトプラグとメタルゲート電極を同時に形成する例を説明した。本実施形態では、コンタクトプラグの形成に際して、コンタクトプラグ形成領域にあらかじめ後の工程で除去し易い材料を埋め込んでおく例を説明する。

【0067】図11(a)は図2(c)の工程の後に続く工程である。まず、R I E法等によりコンタクト孔の底部のストッパー Si_3N_4 膜8を除去し、 Si 基板表面を露出させる。続いて、コンタクトプラグ形成領域に塗布型の酸化膜(SOG(Spin on Glass)や SiO_2 ライクな膜(例えばFOXなど))を塗布し、これを低温でベークして酸化膜に変える。その後、全面をCMPしてSOGやFOXなどのダミー膜50をコンタクトプラグ形成領域に埋め込む。例えば、SOGやFOXは通常の酸化膜に対して、希釈したフッ酸等に対するエッチング速度が約100倍くらい速いなどの特徴がある。また、FOXは通常の酸化膜はエッチングされないアルカリ液に対してもエッチングされるなどの特徴がある。

【0068】次に、図11(b)に示すように、露出したキャップ Si_3N_4 膜5を例えばホットリン酸(165°Cの H_3PO_4 溶液)やフッ酸グリセロール液などで酸化膜及び Si に対して選択的に除去する。コンタクトプラグ領域はFOX膜50で覆われておりエッチングされない。

【0069】次に、図11(c)に示すように、コンタクトプラグ領域のFOX膜50を例えばアルカリ溶液(例えばレジストの現像に用いる現像液など)に浸す事により選択除去する。その後、コンタクトプラグ及びゲート電極のメタル電極部として、例えばメタル膜(タングステン(W)膜、 Ru 膜、 TiN 膜、タングステンナイトライド膜(WN_x)など或いはこれらの積層膜でも良い)を全面に堆積する。その後、全面をCMPして平坦化を行い、コンタクトの開孔部及びキャップ Si_3N_4 膜5を除去した後の溝に前記メタル膜を同時に埋め込み、コンタクトプラグ51a及びゲート電極のメタル電極部51bを同時に形成する。もちろん、この時のCMPの条件はメタル材のCMP速度がBPSG膜9や SiO_2 膜7に対して速いような条件(メタルCMP条件)を選択する。

【0070】この様な製造方法によれば、コンタクトプラグ領域の底部コーナーにおけるストッパー Si_3N_4 膜8の後退を防ぐ事ができる。また、第7の実施形態と同様に、コンタクトプラグとメタルゲート電極が同時に形成できるため、工程の簡略化がはかれる。その他のメリットは、第1の実施形態等と同様である。

【0071】次に、本発明の第9の実施形態について説明する。図12(a)~(c)は、第9の実施形態における製造工程の一部示した断面図である。第7及び第8の実施形態では、ポリシリコン及びメタルからなるゲート電極のメタル電極部とコンタクトプラグとを同時に形

成する例を説明した。本実施形態では、メタルのみのゲート電極の場合のコンタクトプラグを形成する際に、コンタクトプラグ領域にあらかじめ後の工程で除去し易い材料を埋め込んでおく例を説明する。

【0072】図12(a)は図5(c)の工程の後に続く工程である。まず、R I E法等によりコンタクトの底部のストッパー Si_3N_4 膜8を除去し、 Si 基板1表面を露出させる。続いて、コンタクトプラグ領域に塗布型の酸化膜(SiO_2 ライクな膜(例えばFOX)やSOGなど)を塗布し、低温(例えば150°C程度)でベークして酸化膜に変える。そして、全面をCMP或いはR I E法でエッチングバックして、コンタクトプラグ領域にSOGやFOXなどのダミー膜50を埋め込み、ダミーゲート Si_3N_4 膜31を露出させる。

【0073】次に、図12(b)に示すように、露出したダミーゲート Si_3N_4 膜31を例えばホットリン酸(165°Cの H_3PO_4 溶液)やフッ酸グリセロール液などで酸化膜及び Si に対して選択的に除去する。コンタクトプラグ領域はダミー膜となるFOX膜50で覆われており、ストッパー Si_3N_4 膜8はエッチングされない。

【0074】次に、ダミー SiO_2 膜30を剥離して Si 基板1表面を露出した後、全面にゲート絶縁膜52として、例えば高誘電体膜(Ta_2O_5 膜や($\text{Ba}, \text{Sr})\text{TiO}_3$ 膜など)を膜厚20nm程度堆積する。この時、 Si 界面との間にいわゆる界面準位等ができにくいように、界面に薄い(例えば1nm程度) SiO_2 膜(図示せず)、界面をRTPを用いて NH_3 ガス雰囲気中で Si 表面に直接窒化した膜(図示せず)、 Si_3N_4 膜(図示せず)などを介して高誘電体膜を堆積しても良い。また、ゲート絶縁膜はCVD- SiO_2 、CVD- SiO_xN_y 膜或いはCVD- Si_3N_4 膜を含む積層膜でも良い。これらの場合には、膜形成後に例えば1000°C、10秒程度のRTPによる熱処理を行ってデンスファイしても良い。この様にすると、 Si 界面の界面準位が減少したり、リーク電流が減少するなど絶縁膜としての絶縁特性が改善される。コンタクトプラグ領域にはまだメタル材が形成されていないので、ゲート絶縁膜の形成工程での高温工程に対する制約が緩和できる。

【0075】次に、ゲート電極として、例えばメタル膜53(Ru 膜、 TiN 膜、W膜、タングステンナイトライド膜(WN_x)など或いはこれらの積層膜でも良い)を全面に堆積する。もちろん、CVD- SiO_2 膜、CVD- SiON 膜或いはCVD- Si_3N_4 膜を含む積層膜がゲート絶縁膜の場合には、不純物をドーブした多結晶 Si をゲート電極として用いても良い。次に、全面をメタルCMP条件でCMPする事により、メタル電極53及び高誘電体ゲート絶縁膜52をダミーゲートを除去した後の溝の中に埋め込み、メタルゲート電極を形成する。

【0076】次に、図1,2(c)に示すように、コンタクトプラグ領域のFOX膜50を例えばアルカリ溶液（例えばレジストの現像に用いる現像液など）や希釈したフッ酸溶液に浸す事により選択除去する。その後、例えばメタル膜54（タングステン（W）膜、Ru膜、TiN膜、タングステナイトライト膜（WN_x）など或いはこれらの積層膜でも良い）を全面に堆積する。続いて、CMPにより平坦化を行い、コンタクトの開孔部に前記メタル膜を埋め込み、コンタクトプラグ54を形成する。もちろん、この時のCMPの条件は、メタル材のCMP速度がBPSG膜9やSiO₂膜7に対して速いような条件（メタルCMP条件）を選択する。

【0077】以上の様な製造方法によれば、メタルのみを用いたゲート電極の場合にもコンタクトプラグとメタルゲート電極とが自己整合的に形成できる。コンタクトプラグをメタルゲート電極の形成後に形成するので、ゲート絶縁膜の形成工程時の高温工程への制約が緩和されるという特徴がある。その他のメリットは、第1の実施形態等と同様である。

【0078】以上、本発明の実施形態について説明したが、本発明はこれらの実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施可能である。

【0079】

【発明の効果】本発明によれば、高温熱工程をゲート電極の形成前に行うことができるため、抵抗値が低いメタル材をゲート電極に用いることができ、高速化等、素子特性の向上をはかることができる。また、コンタクトプラグがゲート電極に対して自己整合的に形成できるため、ソース・ドレインのコンタクトとゲート電極との距離を側壁絶縁膜の厚さ分まで近付けることができ、素子の集積度を上げることができるとともに、素子特性の向上をはかることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るトランジスタ形成領域の構成を示した平面図及び断面図。

【図2】本発明の第1の実施形態に係る製造工程の一部を示した断面図。

【図3】本発明の第1の実施形態に係る製造工程の一部を示した断面図。

【図4】本発明の第2の実施形態に係る製造工程の一部を示した断面図。

【図5】本発明の第3の実施形態に係る製造工程の一部を示した断面図。

【図6】本発明の第3の実施形態に係る製造工程の一部

を示した断面図。

【図7】本発明の第4の実施形態に係る製造工程の一部を示した断面図。

【図8】本発明の第5の実施形態に係る製造工程の一部を示した断面図。

【図9】本発明の第6の実施形態に係る製造工程の一部を示した断面図。

【図10】本発明の第7の実施形態に係る製造工程の一部を示した断面図。

【図11】本発明の第8の実施形態に係る製造工程の一部を示した断面図。

【図12】本発明の第9の実施形態に係る製造工程の一部を示した断面図。

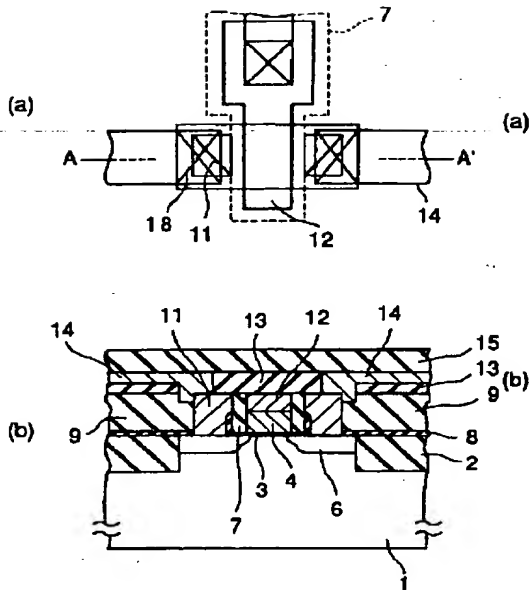
【図13】従来技術の一例を示した断面図。

【図14】従来技術の他の例を示した断面図。

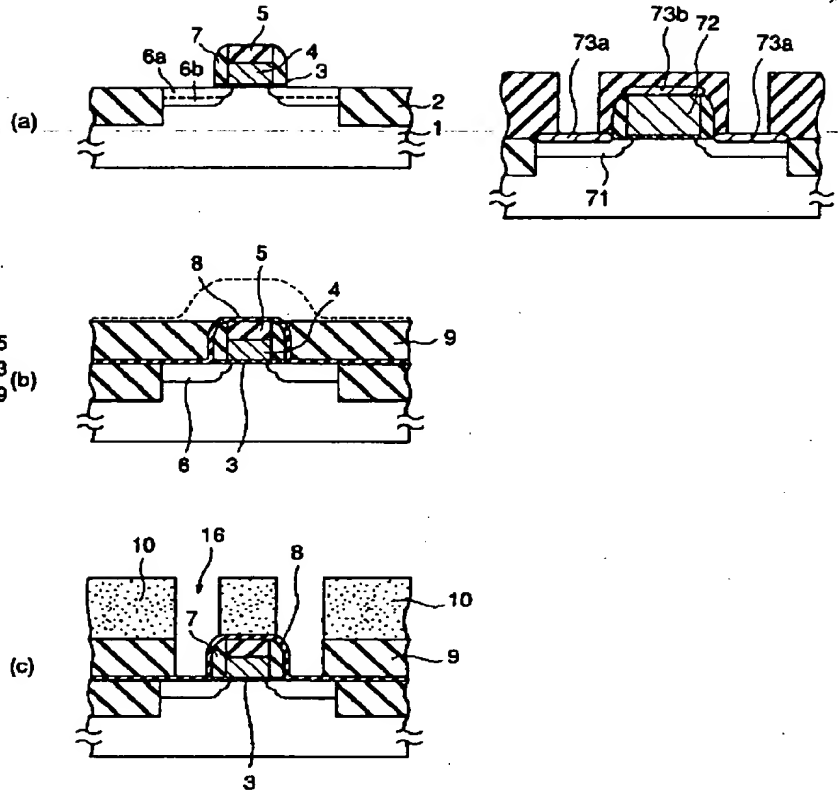
【符号の説明】

- 1…シリコン基板
- 3…ゲート絶縁膜
- 4…ポリシリコン膜
- 5…シリコン窒化膜（ダミーゲート膜）
- 6…ソース・ドレイン拡散領域
- 7…シリコン酸化膜（側壁絶縁膜）
- 8…シリコン窒化膜（ストッパー膜）
- 9…シリコン酸化膜（第1の層間絶縁膜）
- 11…コンタクトプラグ
- 12…メタル膜（ゲート電極）
- 13…シリコン酸化膜（第2の層間絶縁膜）
- 14…配線
- 16…第1の凹部
- 17…第2の凹部
- 18…第3の凹部
- 19…第4の凹部
- 30…シリコン酸化膜（ダミーゲート絶縁膜）
- 31…シリコン窒化膜（ダミーゲート膜）
- 34…ゲート絶縁膜
- 35…メタル膜（ゲート電極）
- 40a…メタル膜（コンタクトプラグ）
- 40b…メタル膜（ゲート電極）
- 50…塗布型の酸化膜（ダミープラグ材）
- 51a…メタル膜（コンタクトプラグ）
- 51b…メタル膜（ゲート電極）
- 52…ゲート絶縁膜
- 53…メタル膜（ゲート電極）
- 54…メタル膜（コンタクトプラグ）

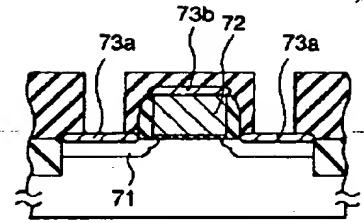
【図 1】



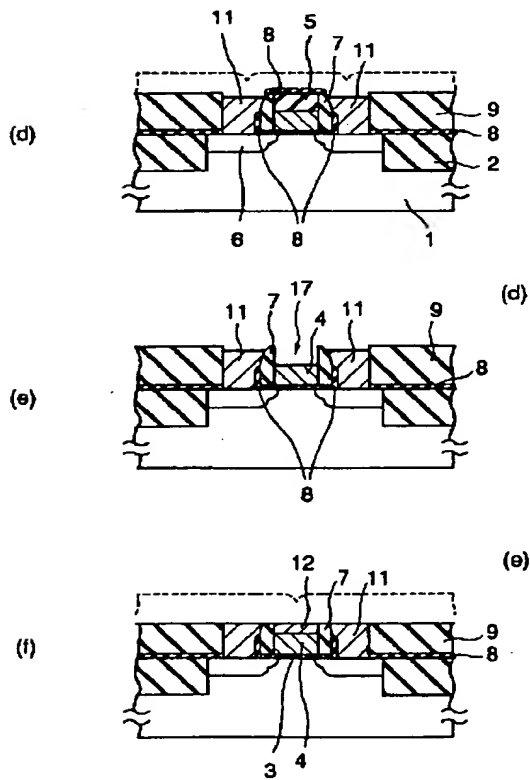
【図 2】



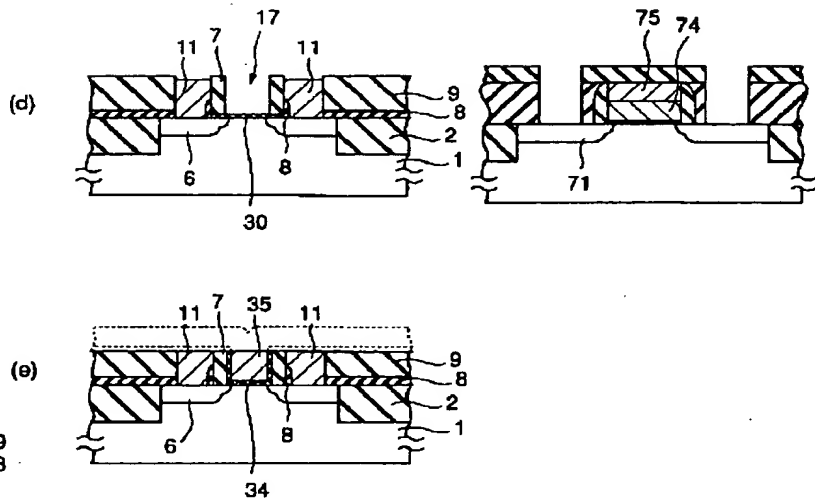
【図 13】



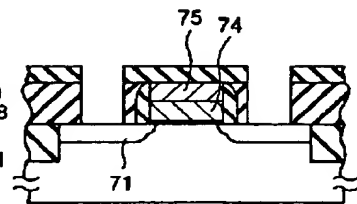
【図 3】



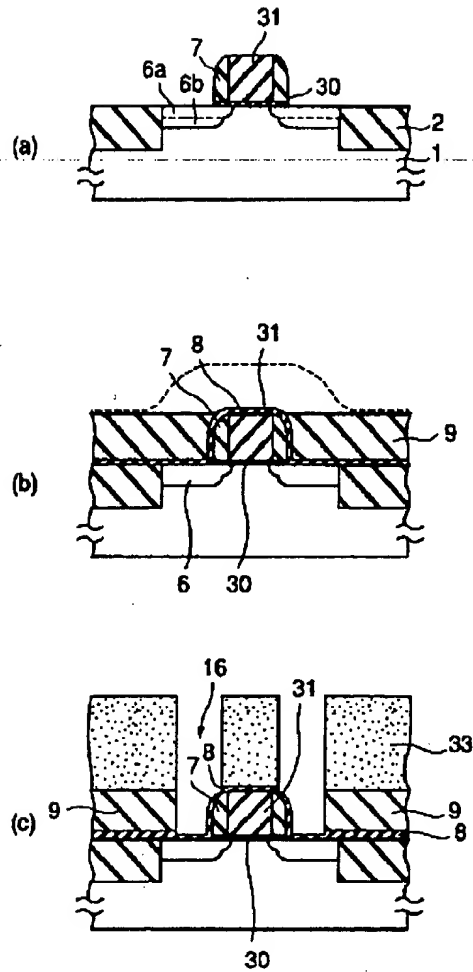
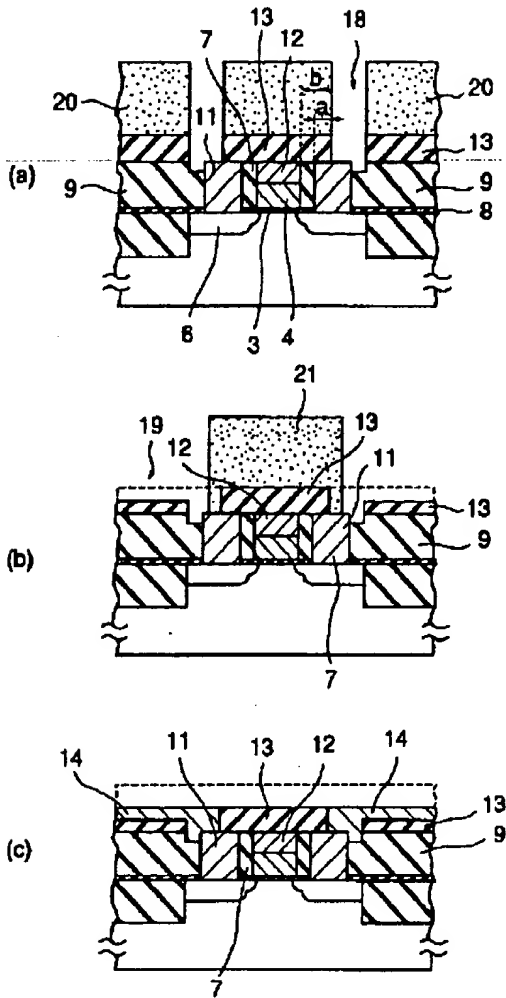
【図 6】



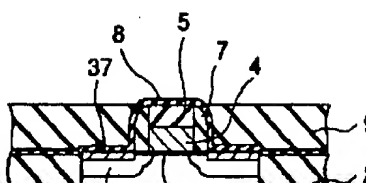
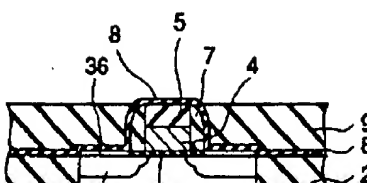
【図 14】



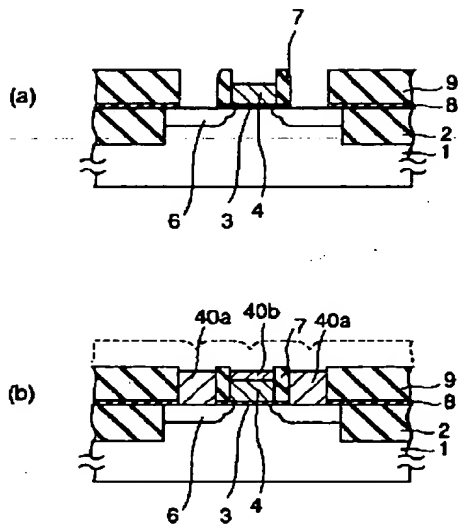
【図4】



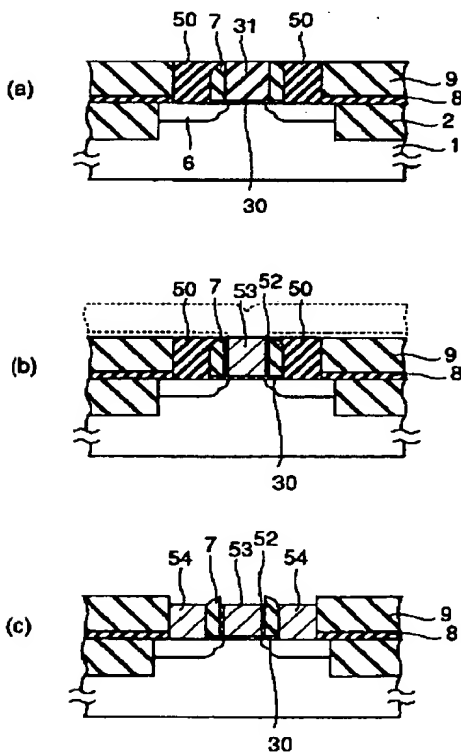
【図 7】



【図 10】



【図 11】



【図 12】

